



ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ,
ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ(21)(22) Заявка: **2008102395/09**, **22.01.2008**(24) Дата начала отсчета срока действия патента:
22.01.2008

Приоритет(ы):

(30) Конвенционный приоритет:
23.01.2007 FR 0752815(43) Дата публикации заявки: **27.07.2009** Бюл. № 21(45) Опубликовано: **27.09.2011** Бюл. № 27(56) Список документов, цитированных в отчете о
поиске: **RU 95104196 A1**, **27.12.1996**. **US 7064694**
B1, **20.06.2006**. **US 4568913 A**, **04.02.1986**.

Документ находится в Патентном отделе

ОКБ АСТРОН140081, Московская область, г.Лыткарино,
ул.Парковая, д.1**(54) СПОСОБ ОЦИФРОВКИ АНАЛОГОВОЙ ВЕЛИЧИНЫ, ОЦИФРОВЫВАЮЩЕЕ
УСТРОЙСТВО, ОСУЩЕСТВЛЯЮЩЕЕ УКАЗАННЫЙ СПОСОБ, И ДЕТЕКТОР
ЭЛЕКТРОМАГНИТНОГО ИЗЛУЧЕНИЯ, СОДЕРЖАЩИЙ ТАКОЕ УСТРОЙСТВО**

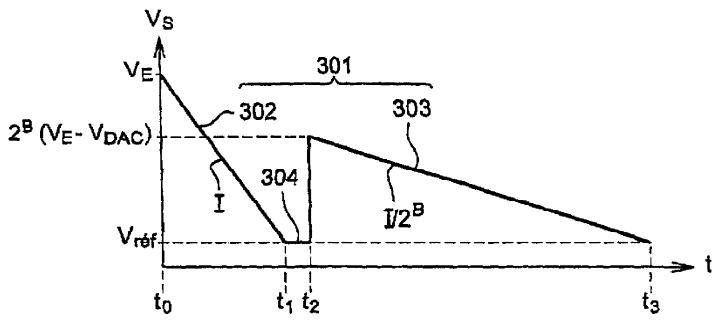
(57) Реферат:

Изобретение предназначено для оцифровки аналоговой величины (V_E), выходящей из детектора электромагнитного излучения, содержащего матрицу смежно расположенных элементарных датчиков. Достижимый технический результат - увеличение точности преобразования. Способ заключается в выполнении первой фазы интегрирования упомянутой аналоговой величины с использованием каскада (410) интегратора; в интегрировании (V_S) до первого числового значения (B) посредством двоичного счетчика (442) и элемента (441) памяти, соединенного с выходом (440) упомянутого каскада (420) компаратора; в преобразовании первого числового значения (B) в аналоговый сигнал (V_{DAC}) посредством аналого-цифрового

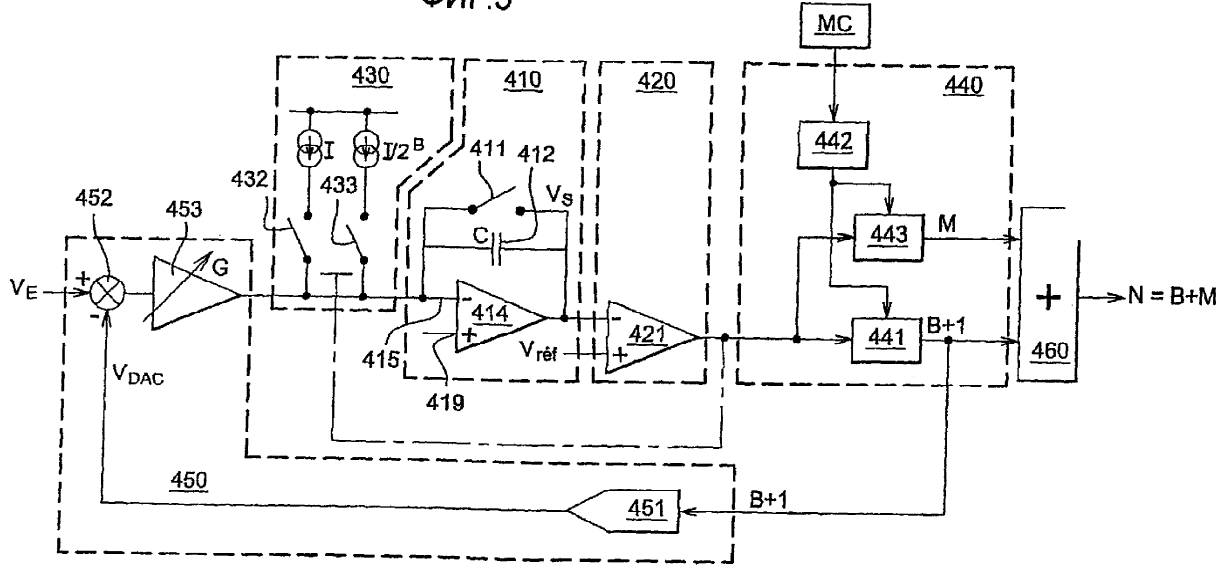
преобразователя (451); в вычитании упомянутого аналогового сигнала (V_{DAC}) из оцифровываемой аналоговой величины (V_E); в усилении сигнала ($V_E - V_{DAC}$), с коэффициентом усиления, отображающим упомянутое первое числовое значение (B); в выполнении второй фазы (303) интегрирования, с использованием упомянутого каскада (410) интегратора, для получения второго числового значения (M), пропорционального аналоговому сигналу, и формирования второго двоичного числа, отображающего младшие биты; в добавлении упомянутого первого (B) и второго (M) числовых значений для формирования числа (N), отображающего упомянутую интегрируемую аналоговую величину (V_E). 3 н. и 9 з.п. ф-лы, 5 ил.

RU 2 430 465 C2

RU 2 430 465 C2



ФИГ.3



ФИГ.4

RU 2430465 C2

RU 2430465 C2



FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY,
PATENTS AND TRADEMARKS

(12) ABSTRACT OF INVENTION

(21)(22) Application: **2008102395/09, 22.01.2008**

(24) Effective date for property rights:
22.01.2008

Priority:

(30) Priority:
23.01.2007 FR 0752815

(43) Application published: **27.07.2009 Bull. 21**

(45) Date of publication: **27.09.2011 Bull. 27**

Документ находится в Патентном отделе
ОКБ АСТРОН
140081, Московская область, г.Лыткарино,
ул.Парковая, д.1

(54) METHOD OF DIGITISING ANALOGUE MAGNITUDE, DIGITISER TO THIS END, AND ELECTROMAGNETIC RADIATION DETECTOR INCORPORATING SAID DIGITISER

(57) Abstract:

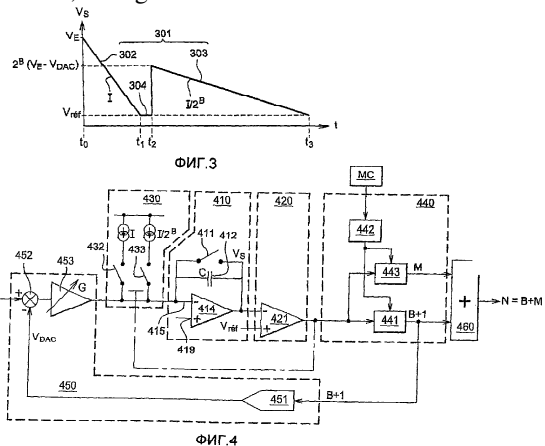
FIELD: electrical engineering.

SUBSTANCE: proposed method consists in conducting first phase of integration using integrator cascade (410), integrating (V_S) to first numerical value (B) by binary counter (442) and memory element (441) connected with output (440) of said comparator cascade (420), converting first numerical values (B) in analogue signal (V_{DAC}) by ADC (451), subtracting said analogue signal (V_{DAC}) from digitised analogue value (V_E), amplifying signal ($V_E - V_{DAC}$), with gain reflecting said first numerical value (B), conducting second phase of integration using integrator cascade (410), integrating second to obtain second numerical value (M) proportional with analogue signal, and generating second binary number reflecting low bots, adding said first (B) and second (M) numerical values to

generate number (N) displaying said integrated analogue value (V_E).

EFFECT: higher accuracy of conversion.

12 cl, 4 dwg



RU 2 430 465 C2

RU 2 430 465 C2

Область техники, к которой относится изобретение

Настоящее изобретение относится к способу выполнения преобразования аналоговых величин в цифровые сигналы, причем упомянутые величины, в частности, производятся детектором электромагнитного излучения. Настоящее изобретение
5 относится также к устройству для выполнения такого преобразования.

Поэтому в общем смысле настоящее изобретение относится к применению детекторов электромагнитного излучения и к конструкции и работе их схемы считывания.

Уровень техники

Известен вариант, когда детекторы электромагнитного излучения составлены из множества смежно расположенных элементарных датчиков, формирующих матрицу, с множеством строк и столбцов. Взаимодействия падающего электромагнитного излучения с этими элементарными датчиками, называемыми также пикселями,
15 производят вариации электрической величины в соответствии с потоком энергии падающего излучения.

Микроболометрическая инфракрасная отображающая сетчатка - один из примеров такого детектора. В этом случае детектор работает как термистор, чувствительный к тепловому излучению, которое измеряется интегрированием тока, проходящего через него при действии данного смещающего напряжения в течение данного периода времени, посредством схемы считывания, связанной с элементарными датчиками.

Проинтегрированные заряды формируют при этом аналоговые сигналы или величины. Для упрощения электрических интерфейсов с электроникой, внешней относительно схемы считывания, эти аналоговые величины преобразуются в цифровые сигналы для восстановления двумерного изображения, адекватного наблюдаемой картине.

Известно, что рабочая характеристика детектора, а следовательно, и качество
30 данных, которые он выдает (цифровые изображения, например), зависят, в частности, от характеристик преобразования в цифровые сигналы аналоговых величин, отображающих взаимодействия между падающим излучением и элементарными датчиками. На предшествующем уровне техники известны по существу три принципа преобразования аналоговых величин в цифровые сигналы, объединенные в схеме считывания.

Во-первых, существуют детекторы, для которых единственное устройство преобразования, или преобразователь, последовательно оцифровывает аналоговые данные, переданные каждым из датчиков, составляющих матрицу. Обычно считывание таких детекторов выполняется последовательно, посредством
40 сканирования строк и затем столбцов. При этом продолжительность, или время, аналого-цифрового преобразования в лучшем случае равна времени считывания элементарного датчика детектирующей матрицы.

В соответствии со вторым принципом преобразования каждый столбец детектора снабжен устройством преобразования. Время аналого-цифрового преобразования при этом в лучшем случае равно времени считывания строки детектора.

В соответствии с третьим принципом преобразования каждый датчик детектора снабжен таким устройством преобразования. При этом время аналого-цифрового преобразования в лучшем случае равно общему времени считывания всех датчиков матрицы.

Выбор принципа преобразования и, следовательно, соответствующего устройства или способа может быть сделан в соответствии с такими критериями, как, например,

время преобразования устройства преобразования, его разрешение, его размер, его потребляемая мощность и т.д.

В частности, во втором варианте, в котором каждый столбец матрицы имеет свое собственное устройство преобразования, его размер должен быть уменьшен до шага повторения двух смежных столбцов пикселей, а в третьем варианте размер должен быть уменьшен в обоих измерениях до шага повторения элементарного пикселя. Шаг повторения фактически представляет собой расстояние между двумя смежными датчиками и обычно соответствует размеру пикселя окончательного цифрового изображения.

Кроме того, когда применяется множество устройств преобразования с высокой разрешающей способностью на одной и той же схеме, каждое из устройств преобразования может быть чувствительным к электрическим возмущениям, создаваемым соседними устройствами преобразования. Фактически чем выше разрешение преобразователя, тем меньше разность напряжения, соответствующая двум последовательным цифровым значениям, и, следовательно, она более чувствительна к внешним возмущениям. Эта чувствительность обусловлена, в частности, конструкцией устройств преобразования, которые электрически не независимы, а, наоборот, имеют общую подложку и те же самые рамки, или те же самые источники питания.

С другой стороны, выбор архитектуры устройств преобразования, число которых велико, расположение и компоновка электронных компонентов должны быть определены для минимизации общего потребления энергии схемой считывания. Фактически, кроме того, что для бортовых электронных систем инфракрасного отображения, например, энергосбережение является очень важным требованием, важно также ограничить рассеяние в фокальной плоскости, поскольку матрица детектора в принципе чувствительна к тепловому окружению.

Среди принципов преобразования, осуществленных в архитектуре преобразователей предшествующего уровня техники, можно отметить принцип, обозначаемый как "преобразование напряжение-время". Этот способ заключается в длительном интегрировании аналоговой величины, напряжения, пока оно не достигнет опорного значения. Интегрирование прерывается при достижении этого опорного значения, обозначая окончание фактической фазы интегрирования. В случае интегрирования, выполненного обычной интегрирующей матрицей с отдельным линейно изменяющимся сигналом с одной крутизной, время, необходимое аналоговой величине для достижения опорного значения, прямо пропорционально значению этой аналоговой величины.

Фактически, поскольку интегрирующая сборка имеет единственную крутизну, изменение аналоговой величины за время интегрирования линейно. При этом, как известно, достаточно измерить время интегрирования как множество временных периодов счета для преобразования значения этой аналоговой величины, то есть оцифровать ее. Таким образом, простой счет числа опорных тактовых импульсов, измеряющих это время, непосредственно предоставляет числовое значение проинтегрированной аналоговой величины.

Для определения окончания счета дифференциальное устройство сравнивает аналоговую величину с опорным значением; когда их различие пренебрежимо мало и меняет знак, этот компаратор передает сигнал для установления текущего цифрового значения счетчика и тем самым определяет значение аналоговой величины.

Практически, как известно, когда счетчик принимает импульс от тактового

генератора, он увеличивает двоичное число на одну единицу. Следовательно, число посчитанных битов зависит от требуемого разрешения устройства преобразования, то есть числа шагов дискретизации, используемых для выборки максимальной аналоговой величины.

5 Таким образом, для устройства преобразования, использующего 2^N шагов дискретизации для выборки интегрируемой аналоговой величины, счетчик должен содержать N подсчитываемых битов. Время преобразования аналоговой величины таким преобразователем в этом случае находится между нулем и максимальным
10 значением $2^N/f_h$, где f_h - тактовая частота. Таким образом, если P отображает число импульсов, подаваемых тактовым генератором до тех пор, пока аналоговая величина не достигнет опорного значения каскада компаратора, P равно цифровому значению сигнала, и время преобразования сигнала составляет P/f_h .

15 Однако такой способ преобразования имеет недостатки, возможно, ограничивающие рабочие параметры такого аналого-цифрового преобразователя. Таким образом, для увеличения его разрешения и/или снижения его времени преобразования необходимо использовать генератор тактовых импульсов с более
20 высокой частотой. Фактически, с одной стороны, имеется технологический предел для максимальной частоты тактового генератора, а с другой, известно, что потребление мощности преобразователя увеличивается с этой частотой и может стать неприемлемым для некоторых приложений.

Одно из решений этой проблемы в технике предшествующего уровня заключается в
25 увеличении числа угловых коэффициентов интегрирования преобразователя и, следовательно, в разработке устройств преобразования с единственным линейно изменяющимся сигналом с множественным наклоном. Таким образом, в случае устройства преобразования с единственным линейно изменяющимся сигналом с
30 двойным наклоном первый угловой коэффициент интегрирования используется для определения числа P , соответствующего значению входной аналоговой величины с большим шагом дискретизации. И наоборот, второй угловой коэффициент используется для преобразования с малым шагом дискретизации, причем оставшаяся часть определяется разностью между входным аналоговым значением и высоким
35 аналоговым значением, соответствующим точно числу P . Эта оставшаяся часть, или остаток, соответствует низкому значению аналоговой величины.

Обычно делается различие между первым числовым значением, закодированным битами, называемыми "старшие" биты, и вторым числовым значением, закодированным битами, называемыми "младшие" биты. Из-за неправильного
40 обращения с языком интегрированные аналоговые величины определяются таким же образом (самый существенный и наименее существенный), как и числовые значения (биты), которые отображают их после этапа оцифровки. В контексте настоящего патента числовое значение означает двоичные числа, составленные из "0" и "1".

45 Таким образом, число N битов на преобразователе разбивается на два "субчисла", то есть число, соответствующее старшим битам, обозначается N_{MSB} (MSB для "старших битов"), и число, соответствующее младшим битам, обозначается N_{LSB} (LSB для "младших битов"). По определению, сумма этих двух чисел N_{MSB} и N_{LSB} равна N , то есть общему числу битов, относящихся к устройству преобразователя.

50 Известно, что способ интегрирования с двумя угловыми коэффициентами призван снизить время преобразования для детектора. Фактически, в зависимости от значения интегрируемой аналоговой величины, это время изменяется между нулем и максимальным значением $(2^{N_{MSB}} + 2^{N_{LSB}})/f_h$. Поэтому это время оказывается короче

максимального времени $2^N/f_h$, необходимого для устройства преобразования с единственным наклоном.

На Фиг.1 показан график, иллюстрирующий способ преобразования предшествующего уровня техники с единственным линейно изменяющимся сигналом с двойным наклоном. На этом графике ось X отображает время t , а ось Y отображает выходное напряжение V_S , то есть аналоговую величину, произведенную взаимодействиями между датчиками и излучением в момент его обработки схемой интегратора.

В соответствии с таким способом преобразования с единственным линейно изменяющимся сигналом с двойным угловым коэффициентом, кривая 101 показывает интегрирование входного напряжения V_E , вводимого в схему интегратора. Кривая 101 содержит наклон, называемый большим, 102, и наклон, называемый малым, 103. В контексте настоящего патента "большой" означает наклон с большим абсолютным значением углового коэффициента, тогда как "малый" означает наклон с угловым коэффициентом с малым абсолютным значением. Таким образом, большой наклон 102 отображает фазу интегрирования старших битов (большие аналоговые величины), тогда как низкий наклон 103 отображает фазу интегрирования младших битов (малые аналоговые величины).

По определению, каждая фаза интегрирования имеет место в течение временного интервала, ограниченного двумя моментами, которые соответственно формируют нижнюю границу и верхнюю границу этого временного интервала. Первая фаза интегрирования t_0-t_1 (большой наклон 102) прерывается синхронно с частотой тактового генератора f_h , когда проинтегрированное напряжение V_E превысит опорное значение V_{ref} , то есть когда различие между проинтегрированным напряжением V_E и опорным значением V_{ref} исчезает. Это условие тем самым определяет верхнюю границу t_1 временного интервала первой фазы интегрирования t_0-t_1 .

В соответствии с этим способом преобразования вторая фаза интегрирования (малый наклон 103) начинается в конце первой фазы интегрирования. Иначе говоря, нижняя граница t_1 второго временного интервала t_1-t_2 по существу сливается с верхней границей t_1 первого временного интервала t_0-t_1 . Затем эта вторая фаза интегрирования прерывается, когда сумма напряжений, проинтегрированных в течение двух фаз интегрирования, превысит значение входного напряжения V_E .

Как указано выше, время измеряется числом импульсов, подаваемых опорным тактовым генератором (не показан). Поскольку кривые 102 и 103 представляют собой участки прямых линий, импульсы тактового генератора поэтому отображают то, насколько много имеется шагов дискретизации проинтегрированного напряжения и поэтому самого этого интегрирования напряжения. Поэтому этот способ аналого-цифрового преобразования называется "напряжение-время".

В соответствии с этим способом каждый из наклонов, большой 102 или малый 103, служит для кодирования числа, соответственно отображающего старшие биты (MSB) и младшие биты (LSB). Эти числа служат тем самым для воссоздания изображения, отображающего наблюдаемую картину в виде двоичной цифровой величины. Таким образом, аналоговая величина может быть преобразована в цифровой сигнал с разрешением, по меньшей мере, 12 битов и временем преобразования 60 мкс.

Фактически это время преобразования совместимо с просмотром 60 изображений/с для детектора, обычно составленного из 320x240 строк. С другой стороны, способ преобразования "напряжение-время" с единственным угловым коэффициентом дает время преобразования, слишком большое для такого разрешения.

контексте разрешение преобразователя означает способность преобразователя различать два соседних проинтегрированных напряжения. Это разрешение выбирается, в частности, в соответствии с желаемым применением детектора. Очевидно, что чем выше выбирается это разрешение, тем больше время аналого-цифрового преобразования.

Фактически разрешение не зависит от дискретизации интегрируемой величины. Известно, что этот шаг дискретизации имеет значение динамического диапазона детектора, разделенного на 2^N (число 2, возведенное в степень числа N битов, кодирующих максимальное значение этого динамического диапазона).

Практически, чтобы осуществить этот способ преобразования, каждый столбец матрицы детектора снабжен устройством преобразования или аналого-цифровым преобразователем. На Фиг.2 показан такой преобразователь предшествующего уровня техники. Он содержит последовательно включенные каскад 210 интегратора, дифференциальный или компараторный каскад 220, каскад 230 управления и считающий каскад 240.

Каскад 210 интегратора предназначен для интегрирования входного напряжения V_E , произведенного столбцом элементарных датчиков. Дифференциальный каскад 220 служит для сравнения проинтегрированного напряжения V_E с опорным значением V_{ref} для определения первой фазы интегрирования от t_0 до t_1 , обозначенной как t_0-t_1 , и второй фазы интегрирования от t_1 до t_2 , обозначенной как t_1-t_2 . Управляющий каскад 230 служит для управления каскадом 210 интегратора, чтобы выполнить две фазы интегрирования последовательно с большим наклоном 102 и малым наклоном 103. Наконец, считающий каскад 240 служит для счета числа импульсов, подаваемых тактовым генератором 250 в течение каждой из этих фаз интегрирования t_0-t_1 и t_1-t_2 , и, следовательно, для дискретизации проинтегрированного напряжения V_E .

Каскад 210 интегратора может содержать входное сопротивление 211, соединенное с реверсивным входом 215 операционного усилителя 214 и конденсатором 212, установленным параллельно между реверсивным входом 215 и выходом 216 операционного усилителя 214. Конденсатор 212 служит для выполнения интегрирования входной аналоговой величины V_E .

Каскад 220 сравнения по существу содержит два компаратора 221, 223, нереверсивные входы 222, 224 которых связаны соответственно с опорными напряжениями V_{ref1} и V_{ref2} . Напряжение V_E , проинтегрированное каскадом 210 интегратора, прикладывается к реверсивным входам изменения компараторов 221, 223 и может, таким образом, сравниваться с этими двумя опорными напряжениями. Как указано выше, это "сравнение", или измерение их разности, служит для определения верхних границ t_1 и t_2 большого наклона 102 и малого наклона 103 фаз интегрирования.

Кроме того, параллельно управляющему каскаду установлены два переключателя 232 и 233 для выбора одного или другого источника питания, I и I/2V - для разряда интегрирующего конденсатора 212. Переключатель означает любое устройство, подходящее для переключения схемы из разомкнутого состояния в замкнутое состояние и наоборот. Практически переключатели могут быть образованы транзисторами. При этом управляющий каскад 230 определяет коэффициент усиления каждой из двух фаз 102 и 103 интегрирования, который в данном случае обратно пропорционален емкости интегрирующего конденсатора 212.

Кроме того, когда он принимает сигналы "отмена", переданные каскадом компаратора, логическая схема управления 231, передавая соответствующий сигнал

на его выходы 234, 235, останавливает счетчики 241, 242 импульсов, подаваемых опорным тактовым генератором.

При работе, когда разность между проинтегрированным напряжением V_E и опорным напряжением V_{ref} исчезает и затем изменяет знак, компаратор 221 передает сигнал "отмена" на логическую управляющую схему 231 управляющего каскада 230. Эта логическая схема 231, в свою очередь, управляется, синхронно с частотой f_h тактового генератора 250, двумя счетчиками 241 и 242.

В течение временного интервала t_0-t_1 счетчик 241 определяет количество старших битов, составляющих проинтегрированную аналоговую величину. Затем, в течение временного интервала t_1-t_2 , счетчик 242 определяет младшие биты, составляющие проинтегрированную аналоговую величину. Старшие и младшие биты могут быть затем добавлены в двоичном виде с использованием элемента 260 для формирования двоичного числа, отображающего значение проинтегрированной аналоговой величины.

Электрическая архитектура, описанная выше в связи с преобразователем на Фиг.1, имеет, таким образом, электронные компоненты, необходимые для осуществления этого способа преобразования предшествующего уровня техники. При этом, когда этот тип преобразователя используется в матричном детекторе, имеющем число C столбцов, для выполнения преобразования необходимо следующее:

- С схем интегратора,
- 2·С схем компаратора,
- и 2·С счетчиков.

Фактически, чем больше число электронных компонентов, тем выше их общее потребление мощности и тем более нагреваются схемы. Кроме того, занимаемое этими электронными компонентами пространство ограничивает малость шага повторения между двумя смежными столбцами датчиков. Кроме того, производственные возможности соразмерно ниже, и, следовательно, производственные затраты очевидно выше при большем числе электронных компонентов в преобразователе.

Этот способ преобразования с двумя наклонами поэтому призван снизить время преобразования аналоговой величины, поскольку время преобразования составляет: $t_{conv1}=(2^B+2^M)/f_h$, где B и M соответственно отображают числа старших и младших битов и $1/f_h$ - период осуществления выборки или период импульсов тактового генератора T_h .

Для его части система преобразования с единственным угловым коэффициентом требует времени преобразования: $t_{conv2}=2N/f_h$, где N - число $B+M$ общих битов.

Легко убедиться, что $t_{conv1}<t_{conv2}$.

Однако способы и устройства преобразования, работающие с двумя угловыми коэффициентами интегрирования, в настоящее время сталкиваются с несколькими трудностями, которые ограничивают их характеристику оцифровки.

Во-первых, поскольку каждый столбец матричного детектора имеет свое собственное устройство преобразования, его размер ограничивает снижение шага повторения, а следовательно, и миниатюризацию детектора. Фактически устройство преобразования предшествующего уровня техники, подобное показанному на Фиг.2, требует установки двух компараторов и двух счетчиков для кодирования проинтегрированной аналоговой величины. Установка этих двойных компонентов поэтому увеличивает размер устройства преобразования, например, по сравнению с размером устройства преобразования с единственным линейно изменяющимся

сигналом.

Кроме того, каждый компаратор 221 и 223 имеет свой собственный порог переключения. Фактически смещение напряжения между порогами этих двух компараторов очень низко, и оказывается затруднительным создать опорные напряжения V_{ref1} и V_{ref2} с достаточной точностью для оцифровки младших битов.

Таким образом, например, когда первая фаза t_0-t_1 интегрирования дискретизирует интегрируемую аналоговую величину, используя множество в восемь битов, называемых старшими битами, смещение напряжения между порогами этих двух компараторов имеет значение полного динамического диапазона детектора, разделенного на 2^8 . Малость этого смещения поэтому требует высокой точности при образовании опорных напряжений V_{ref1} и V_{ref2} , при условии $V_{ref2} > V_{ref1}$.

Кроме того, если учесть смещение напряжения двух компараторов, то для случая противоположных знаков можно найти, что условие:

$$V_{ref2} + V_{off2} > V_{ref1} + V_{off1}$$

не удовлетворяется.

Другая трудность является результатом того, что компаратор 223, установленный для оцифровки младших битов, работает в ограниченном диапазоне напряжения, что делает его очень чувствительным к шуму и к электрическим возмущениям, случающимся в схеме, особенно в момент переключения переключателей 232 и 233. Точность дискретизации, требуемая для операционного усилителя 223, должна быть ниже, чем младшие биты преобразователя. Максимальная допустимая ошибка должна быть ниже полного динамического диапазона детектора, разделенного на 2^N , где N - разрешение устройства преобразования. Найдено, что для высокого N эта ошибка очень мала.

Кроме того, использование двух различных операционных усилителей-компараторов 221 и 223 для двух линейно изменяющихся сигналов 102 и 103 с различными угловыми коэффициентами, то есть с малым наклоном и большим наклоном, приводит к различному гистерезису для каждого компаратора. Это различие в гистерезисе вызывает нерегулярность или нелинейность в смене наклона, происходящей в момент времени t_1 .

Кроме того, отношение двух токов разряда I и $I/2^B$ должно также быть определено достаточно точно, без шума, чтобы избежать нелинейности. В частности, в случае преобразования в конце каждого столбца, сталкиваются с проблемой спаривания источников питания транзистора, когда число столбцов велико.

В технике предшествующего уровня возможны решения, обеспечивающие компенсацию смещения напряжения усилителя, установленного как компаратор, и корректирующие разности в коэффициенте усиления при большом и малом угловых коэффициентах. Это возможно, например, при использовании системы самокалибровки, объединенной с устройством преобразования и содержащей дополнительные электронные компоненты, например потенциометр.

Однако эти дополнительные электронные компоненты усложняют сборку и, главным образом, увеличивают область, занятую устройством преобразования. Фактически такой преобразователь должен быть пригоден для размещения в конце каждого столбца, на маленькой площади, на которой одно измерение определяется шагом повторения пикселя, что обычно составляет значение между 15 мкм и 45 мкм, которое, очевидно, должно быть минимизировано.

Можно также отметить, что два принципа коррекции, обычно используемые при инфракрасном отображении, призваны скорректировать коэффициент усиления и

скомпенсировать смещение напряжения каждого пикселя. Однако эта коррекция никак не действует на смещение, случающееся на разрыве углового коэффициента преобразователя с двойным линейным изменением сигнала, как показано для момента времени t_1 на Фиг.1, то есть эта коррекция не действует на ошибки линейности.

Задача настоящего изобретения заключается в преодолении трудностей, встречающихся в способах и устройствах преобразования предшествующего уровня техники, не увеличивая область, занятую таким преобразователем.

Сущность изобретения

Таким образом, настоящее изобретение относится к способу и устройству для преобразования аналоговых величин в цифровые сигналы, которые призваны по существу улучшить рабочие характеристики способов и устройств предшествующего уровня техники. Настоящее изобретение призвано, в частности, увеличить точность преобразования при снижении числа электронных компонентов, их потребления энергии, их размера и стоимости производства аналого-цифрового преобразователя, по сравнению с преобразователями предшествующего уровня техники.

Первой задачей изобретения является способ для аналого-цифрового преобразования, позволяющий точное и воспроизводимое преобразование интегрируемой аналоговой величины. Такой способ пригоден для оцифровки аналоговой величины, произведенной детектором электромагнитного излучения, в частности инфракрасного излучения. Упомянутый детектор содержит матрицу смежно расположенных элементарных датчиков, взаимодействия которых с излучением производят интегрируемую аналоговую величину. В соответствии с изобретением упомянутый способ содержит этапы, состоящие, для каждой строки или для каждого столбца матрицы:

в выполнении первой фазы интегрирования упомянутой аналоговой величины по первому временному интервалу с использованием каскада интегратора;

в задании прерывания упомянутой первой фазы интегрирования посредством каскада компаратора, у которого один вход связан с выходом упомянутого каскада интегратора, и другой вход - с опорной схемой, подающей опорное значение;

в преобразовании аналоговой величины, тем самым проинтегрированной до первого числового значения посредством двоичного счетчика, соединенного с выходом упомянутого каскада компаратора;

в сохранении упомянутого первого числового значения в форме первого двоичного числа, отображающего старшие биты;

в преобразовании упомянутого первого числового значения, полученного таким образом, в аналоговый сигнал, подобный оцифровываемой аналоговой величине, посредством аналого-цифрового преобразователя;

в вычитании упомянутого аналогового сигнала из упомянутой оцифровываемой аналоговой величины;

в усилении сигнала, получающегося из упомянутого вычитания с коэффициентом усиления, отображающим упомянутое первое числовое значение;

в выполнении второй фазы интегрирования с использованием упомянутого каскада интегратора для производства второго числового значения, пропорционального аналоговому сигналу, тем самым усиленного, и формировании второго двоичного числа, отображающего младшие биты;

в добавлении упомянутого первого и второго числовых значений для формирования числа, отображающего упомянутую интегрируемую аналоговую величину.

Таким образом, оцифровка интегрируемой аналоговой величины разбивается на две фазы интегрирования (два угловых коэффициента) для старших битов и младших битов соответственно, тем самым способствуя быстрой оцифровке аналоговой величины при использовании единственного компаратора. В течение второй фазы интегрирования интегрируемый остаток оценивается исключением значения старших битов, преобразованных в аналог, из интегрируемой аналоговой величины. Кроме того, аналоговый сигнал, отображающий младшие биты, усиливается с коэффициентом, призванным увеличить точность, то есть уменьшить максимальную ошибку второй фазы интегрирования.

Практически коэффициент усиления может иметь значение два, возведенное в степень, равную числу битов первого числового значения.

Таким образом, усиление остатка интегрируемой аналоговой величины призвано уменьшить максимальную ошибку второй фазы интегрирования, следовательно, снизить ограничение на точность этого аналого-цифрового преобразователя.

Практически первое числовое значение может быть увеличено на один младший бит перед упомянутым этапом преобразования, чтобы скорректировать смещение напряжения, представленное каскадом компаратора.

Этот признак способа в соответствии с изобретением служит поэтому для компенсации смещения напряжения, предоставленного операционным усилителем каскада компаратора.

В соответствии с конкретным вариантом реализации изобретения каскад интегратора может содержать конденсатор, и способ может содержать этапы, состоящие:

в зарядке упомянутого конденсатора преобразуемой аналоговой величиной;

в разряде упомянутого конденсатора при большом постоянном токе в течение первой фазы интегрирования;

в перезарядке упомянутого конденсатора напряжением, зависящим от разности между интегрируемой аналоговой величиной и результатом первой фазы преобразования;

в разряде упомянутого конденсатора при малом постоянном токе в течение второй фазы интегрирования.

Прилагательные "большой" и "малый" имеют относительный смысл. Фактически на практике величина малого тока может быть выбрана как равная отношению величины большого тока к числу 2, возведенному в степень, равную числу битов первого числового значения. Например, если это первое числовое значение составляет 8 битов, малое значение составляет 1/256 от большого значения. Такие токи разряда служат для достаточного определения угловых коэффициентов, для получения хорошей точности в течение каждой из фаз интегрирования. Кроме того, поскольку разряды выполняются при постоянном токе, между напряжением и временем устанавливается непосредственное соотношение.

Практически опорное значение может быть определено как функция диапазона чувствительности детектора.

Этот признак служит для оптимизации средних времен преобразования всех аналоговых величин для динамического диапазона выбранных детекторов.

Кроме того, изобретение относится к устройству для оцифровки аналоговой величины, выходящей из детектора электромагнитного излучения. В соответствии с изобретением упомянутое устройство содержит для каждого столбца матрицы:

каскад интегратора, содержащий операционный усилитель, по меньшей мере один

конденсатор и электрически управляемое устройство переключения, служащее для инициализации упомянутого конденсатора, включенного параллельно между выходом и реверсивным входом упомянутого операционного усилителя, причем упомянутый каскад интегратора готов к интегрированию упомянутой аналоговой величины, когда

каскад компаратора, содержащий единственный операционный усилитель, один вход которого соединен с выходом упомянутого каскада интегратора и другой вход соединен с опорной схемой, подающей опорное значение;

двоичный счетчик, соединенный с выходом упомянутого каскада компаратора и пригодный для определения первого числового значения, пропорционального упомянутой проинтегрированной аналоговой величине; однако упомянутый двоичный счетчик может быть смещенным и обычно для всех столбцов, позволяя выиграть в площади и потребляемой мощности;

цифроаналоговую схему обратной связи упомянутого счетчика, последовательно содержащую:

преобразователь, пригодный для преобразования упомянутого первого числового значения в аналоговый сигнал, подобный упомянутой оцифровываемой аналоговой величине,

средство для вычитания упомянутого аналогового сигнала из упомянутой оцифровываемой аналоговой величины,

и средство для усиления сигнала, образованного упомянутым вычитанием, с коэффициентом усиления, зависящим от числа битов упомянутого первого числового значения;

выход упомянутой реверсивной схемы обратной связи, соединенный со входом упомянутого каскада интегратора так, что последний производит второе числовое значение, пропорциональное, таким образом, усиленному аналоговому сигналу;

средство для сохранения первого и второго числовых значений, образованных двумя фазами преобразования;

средство для добавления упомянутого первого и второго числовых значений для формирования числа, отображающего упомянутую интегрируемую аналоговую величину.

Иначе говоря, аналого-цифровой преобразователь настоящего изобретения содержит единственный операционный усилитель-интегратор и единственный операционный усилитель-компаратор. Кроме того, он содержит аналого-цифровую схему с отрицательной обратной связью, служащую для изоляции в проинтегрированной аналоговой величине остаточных старших битов, для преобразования упомянутого значения в аналоговую величину, для вычитания ее из начального аналогового сигнала и затем для усиления упомянутого слабого сигнала, чтобы увеличить точность и воспроизводимость оцифровки.

На практике электронный компонент каскада интегратора представляет собой конденсатор. Такой компонент действительно подходит для успешного выполнения интегрирования аналоговой величины.

В соответствии с практической реализацией изобретения средство памяти может содержать блокируемую схему памяти, лучше известную в технике как "защелку", соединенную с выходом двоичного счетчика. Такая память имеет преимущество благодаря тому, что занимает небольшую область.

Обычно аналого-цифровая схема с отрицательной обратной связью содержит декодирующую систему и множество конденсаторов, установленных параллельно и

индивидуально переключаемых с использованием переключателей, управляемых упомянутой декодирующей системой.

Такая схема с отрицательной обратной связью служит для выполнения этапов, приводящих ко второй фазе интегрирования, занимая при этом ограниченное пространство.

Кроме того, изобретение также относится к детектору электромагнитного излучения, в частности инфракрасного, содержащему матрицу смежно расположенных элементарных датчиков и устройство, как описано выше.

Предметом изобретения, таким образом, является укомплектованный детектор, пригодный для приема электромагнитного излучения и затем для его преобразования в цифровые сигналы.

Фактически матрица этого детектора может иметь единственную строку или единственный столбец.

Кроме того, элементарные датчики могут быть болометрами. Они предназначены для получения тепловых изображений объектов с использованием аппаратуры, работающей при комнатной температуре.

Краткое описание чертежей

Изобретение и его достоинства видны также из описания конкретных вариантов реализации, предоставляющих неограничивающие примеры, показанные на чертежах, из которых:

Фиг.1 схематически изображает график напряжение/время, показывающий способ преобразования предшествующего уровня техники. Этот чертеж уже рассматривался в связи с предшествующим уровнем техники;

Фиг.2 - схематическое представление аналого-цифрового устройства преобразования в соответствии с вариантом реализации предшествующего уровня техники. Этот чертеж уже рассматривался в связи с предшествующим уровнем техники;

Фиг.3 - схематическое представление графика, иллюстрирующего вариант реализации способа, охватываемого настоящим изобретением;

Фиг.4 - схематическое представление устройства оцифровки в соответствии с вариантом реализации изобретения;

Фиг.5 - схематическое представление, показывающее особенности схемы с отрицательной обратной связью устройства оцифровки, показанного на Фиг.4.

Варианты реализации изобретения

На Фиг.3 показана временная диаграмма, иллюстрирующая интегрирование напряжения по времени. Ось X при этом отображает время и ось Y - напряжение.

Кривая 301 на Фиг.3, таким образом, показывает интегрирование входного напряжения V_E , которое начинается на первой фазе интегрирования с линейно изменяющимся сигналом 302 и заканчивается второй фазой интегрирования с линейно изменяющимся сигналом 303.

Проинтегрированная аналоговая величина в данном случае - это напряжение. Эта аналоговая величина может, однако, быть и другой электрической величиной, отображающей свойства, обнаруживаемые элементарными датчиками детектора в момент их взаимодействия с падающим излучением. Соответственно это может быть величина электрических зарядов, например.

Времена t_1 и t_2 разделены посредством плато 304, в течение которого выполняется фаза, называемая реинициализацией. Эта фаза реинициализации служит для преобразования первого числового значения, отображающего старшие биты, в аналоговый сигнал, который затем отделяется от интегрированной аналоговой

величины V_E и затем усиливается перед второй фазой интегрирования. Это усиление отмечено вертикальным участком, соответствующим моменту t_2 . Как показано на Фиг.3, коэффициент усиления при этом имеет значение числа 2, возведенного в степень B , где B соответствует числу старших битов, которые служат для кодирования первой части проинтегрированной аналоговой величины V_S .

Первая фаза интегрирования начинается в момент t_0 и заканчивается в t_1 синхронно с опорным тактовым сигналом (не показан) после отмены, следующей за изменением знака разности между проинтегрированным напряжением $V_S = V_E$ и опорным значением V_{ref} .

Вторая фаза интегрирования начинается в момент t_2 и заканчивается в момент t_3 после отмены, следующей за изменением знака разности между проинтегрированным напряжением $V_S = 2^B(V_E - V_{DAC})$ и опорным значением V_{ref} . Для облегчения понимания графика уровень V_{ref} опорного значения обозначен горизонтальным пунктиром.

В способе по изобретению эти два интервала t_0-t_1 и t_2-t_3 , на основе которых выполняются две фазы интегрирования аналоговой величины, отображены здесь напряжением, разделены временной задержкой 304, в течение которой интегрирование не выполняется. Эта временная задержка обозначена горизонтальным плато (при постоянном интегрируемом напряжении), символизируя отсутствие интегрирования. В соответствии с изобретением, как отмечается ниже, эта временная задержка может использоваться для выполнения операций реинициализации в различных каскадах устройства оцифровки настоящего изобретения.

На Фиг.4 показано такое устройство преобразования, содержащее в соответствии с изобретением каскад 410 интегратора, дифференциальный или компараторный каскад 420, каскад 430 управления током разряда и каскад 440 счета и сохранения. Эти различные каскады полностью выполняют те же самые функции, что и соответствующие каскады преобразователей предшествующего уровня техники, описанные в связи с Фиг.2.

Кроме того, устройство оцифровки по изобретению содержит аналого-цифровую схему 450 отрицательной обратной связи. Эта схема 450 отрицательной обратной связи состоит из ветви, установленной в отрицательной обратной связи между выходом 441 устройства памяти счетчика 442 и входом 415 каскада 410 интегратора. Как указано выше, схема 450 отрицательной обратной связи содержит аналого-цифровой преобразователь 451, предназначенный для преобразования первого числового значения, полученного после первой фазы 302 интегрирования, в аналоговый сигнал, отображающий участок проинтегрированной аналоговой величины, соответствующей старшим битам $(B+1)$.

Схема 450 отрицательной обратной связи также содержит средство 452 для вычитания аналогового сигнала, таким образом, преобразованного из интегрируемой аналоговой величины V_E . Средство 453 усиления установлено в схеме отрицательной обратной связи для умножения сигнала, получающегося из вычитания $[V_E - V_{DAC}]$, на коэффициент усиления, который имеет значение 2^B , или число 2, возведенное в степень B . Как указано выше, это усиление показано на диаграмме на Фиг.3 вертикальной прямой, соответствующей моменту t_2 . Ранее аналого-цифровое преобразование преобразователем 451 и вычитание средством 452 имели место в течение времени 304, когда интегрирование не выполняется. Следует понимать, что в момент t_0 напряжение V_E непосредственно приложено ко входу 415 каскада 410 интегратора, то есть благодаря ряду переключателей (не показаны) схемы 452 и 453

являются недействующими и не выполняют ни вычитание, ни усиление соответственно.

Плато 304 имеет минимальную продолжительность, обеспечиваемую в устройстве управления тактовым генератором. Однако его продолжительность изменяется, поскольку она зависит от значения V_E . Реально, времена t_0 и t_2 фиксированы и известны; с другой стороны, времена t_1 и t_3 зависят от V_E .

Каскад 410 интегратора предназначен для интегрирования входного напряжения V_E от элементарных датчиков в течение первой фазы интегрирования и для интегрирования остаточного напряжения $2^B(V_E - V_{DAC})$ в течение второй фазы интегрирования. Дифференциальный каскад 420 служит для сравнения проинтегрированного напряжения V_S с опорным значением V_{ref} для определения окончания первой и второй фаз интегрирования. Каскад 430 управления током разряда служит для управления каскадом 410 интегратора, чтобы выполнить последовательно интегрирование с высоким угловым коэффициентом 302 и интегрирование с низким угловым коэффициентом 303. Наконец, каскад 440 счета и сохранения служит для сохранения числа импульсов, переданных опорным тактовым генератором МС в течение каждой из фаз интегрирования, и, следовательно, дискретизации, или "оцифровки", проинтегрированного напряжения V_E . Времена t_0 и t_2 , которые определяют начало счета, являются идентичными для всех аналого-цифровых преобразователей столбцов. Таким образом, счетчик 442 может быть общим для всех аналого-цифровых преобразователей и отключается в t_0 , затем в t_2 .

В каждом каскаде аналого-цифрового преобразователя устройства сохранения 441, 443 служат для попутного сбора соответственно значений в моменты t_1 и t_3 , которые могут быть, таким образом, отличными для каждого из аналого-цифровых преобразователей столбцов. Общий счетчик 442 производит счет в момент t_{1max} и затем t_{3max} для каждого интегрирования, чтобы охватить весь динамический диапазон.

Каскад 410 интегратора преобразователя по изобретению подобен поэтому каскаду 210 интегратора преобразователя предшествующего уровня техники. Таким образом, операционные усилители 214 и 414 связаны с электрическим опорным сигналом посредством их нереверсивного входа, соответственно 219 и 419. Этот опорный сигнал специфичен для динамического диапазона и для технологии схемы считывания; это никак не влияет на систему преобразования.

С другой стороны, в противоположность каскаду компаратора, показанному на Фиг.2, дифференциальный каскад преобразователя на Фиг.4 имеет только единственную сборку компаратора, которая снабжена операционным усилителем 421. Реверсивный вход операционного усилителя 421 принимает проинтегрированное напряжение V_S , и его нереверсивный вход связан со схемой, подающей опорное напряжение V_{ref} . Способ для получения этого опорного напряжения выполнен в соответствии с предшествующим уровнем техники и подробно здесь не рассматривается.

Далее, каскад 420 компаратора занимает меньшее пространство, чем каскад 220 компаратора предшествующего уровня техники. Кроме того, он имеет существенно более низкое энергопотребление. Соответственно, разогрев, характерный для этих схем, существенно ниже разогрева схем каскада 220 интегратора. Кроме того, материал и стоимость производства дифференциального каскада 420 ниже, чем таковые для каскада 220.

Каскад 430 управления током разряда действует через переключатели 432 и 433, тем самым выбирая один или другой источник питания I и $I/2^B$, разряжающие конденсатор

С, установленный между выходом и реверсивным входом каскада 410 интегратора. При этом управляющий каскад 430 определяет коэффициент усиления каждой из двух фаз 302 и 303 интегрирования, тот коэффициент усиления, который, как известно, обратно пропорционален емкости конденсатора С интегратора.

Каскад управления разрядом может быть снабжен линейно изменяющимся сигналом напряжения, связанным с емкостью, а не токовым устройством. Эти две методики хорошо известны специалистам в данной области техники и то, что каждая имеет свои достоинства и недостатки. Они не изменяют принцип изобретения. Данный рассматриваемый принцип выбран здесь для простоты описания.

Для удобства различения электрических соединений, непосредственно входящих в управление переключателями 432 и 433, передаваемое управляющим каскадом 430, последний показан разрывными линиями. На самом деле, очевидно, что никаких разрывов в связях 432 и 433 нет.

Счетный каскад 440 содержит два элемента памяти 441 и 443. Счетчик 442, который может быть общим для множества аналого-цифровых преобразователей, сам питается импульсами опорного тактового генератора МС. Выход счетчика 442 связан с устройствами 441, 443 памяти для записи в них его текущего значения.

Устройства 441, 443 памяти могут быть схемой блокирующейся памяти или "защелкой". Они пригодны для соответственного сохранения числа В+1 битов, соответствующих старшим битам, и числа М битов, соответствующих младшим битам.

При работе конденсатор С заряжается до напряжения V_E , затем разряжается при токе I. Каскад 410 интегратора тем самым выполняет первую фазу 302

интегрирования входного напряжения V_E до тех пор, пока разность, измеренная каскадом 420 компаратора, между напряжением интегратора V_S и опорным напряжением V_{ref} не изменит знак. Эта разность измеряется операционным усилителем 421, который одновременно подает сигнал на каскад 430 управления током разряда и на счетный каскад 440, обозначая конец этой первой фазы 302 интегрирования.

В конце этой первой фазы интегрирования каскад 420 компаратора передает сигнал окончания на счетный каскад 440 так, чтобы он сохранил числовое значение, проинтегрированное в форме двоичного числа, соответствующего старшим битам. Счетчик 442 поэтому имеет функцию "хронометража" фаз интегрирования. С этой целью он посредством приращения рассчитывает импульсы, подаваемые опорным тактовым генератором МС, затем передает число, таким образом увеличенное, на устройство 441 памяти счетного каскада 440 посредством обычной для этого типа структуры шины.

Когда текущее значение счетчика 442 записано в устройстве 441 памяти, счетчик 442 продолжает свой счет до 2^{B+1} битов; затем это должно быть обнулено с момента t_2 , чтобы ввести продолжительность второй фазы интегрирования, соответствующей младшим битам. Вторая фаза интегрирования снова выполняется каскадом 410 интегратора до тех пор, пока проинтегрированное напряжение V_S не достигнет или практически превысит опорное значение V_{ref} .

На Фиг.3 эта дата обозначена как t_3 . Она соответствует времени, когда текущее значение счетчика 442 записывается в устройство 443 памяти младших битов.

В соответствии с изобретением в течение фазы реинициализации конденсатор С заряжается до напряжения $2^B[V_E - V_{DAC}]$. После этой реинициализации управляющий каскад 430 переключает переключатели 432 и 433 для активизации и/или

дезактивизации источников тока I и $I/2^B$. Это переключение позволяет каскаду 410 интегратора разрядить конденсатор C при малом токе $I/2^B$ в течение второй фазы 303 интегрирования. Это служит для выполнения второй, относительно медленной, поэтому точной, фазы интегрирования. Высокая точность тем самым получается для младших битов.

Кроме того, усиление с коэффициентом 2^B интегрируемого остатка $[V_E - V_{DAC}]$ поэтому служит для снижения ограничения точности аналого-цифрового преобразователя 451. Фактически максимальная ошибка в течение второго интегрирования представляет собой значение полного динамического диапазона, разделенного на коэффициент усиления 2^{N-B} , тогда как для устройства преобразования предшествующего уровня техники значение полного динамического диапазона делится на коэффициент усиления 2^N , где N - число битов, необходимое для кодирования максимального напряжения, интегрируемого устройством преобразования, которое фактически соответствует полному динамическому диапазону.

Таким образом, это достоинство заставляет использовать аналого-цифровой преобразователь 451, показанный на Фиг.5. Такой преобразователь содержит систему переключаемых емкостей C_i и систему для декодирования переключателей. Соединение емкостей C_i определяет точность усиления и выходного напряжения V_{DAC} преобразователя. Это напряжение V_{DAC} является функцией V_{R+} и V_{R-} .

Таким образом, старшие биты B первой фазы интегрирования командуют, посредством декодирования, выбором переключения емкости, которые соединяются в соответствии со значением B , при V_E и/или V_{R+} , и/или V_{R-} , в течение фазы 304.

Затем переключатель 413 замыкается в момент t_2 и отношение различных емкостей C_i устройства, показанного на Фиг.5, к емкости 412 интегратора служит для выполнения тройной операции, символизируемой в схеме с отрицательной обратной связью 450:

аналого-цифровое преобразование, следовательно, генерация V_{DAC} (посредством выбора из V_{R+}/V_{R-} с емкостями, связанными с декодированием и с переключателями);
 вычитание $V_E - V_{DAC}$ посредством комбинации емкостей;
 усиление 2^B посредством отношения емкостей C_i на Фиг.5 к емкости C 412 интегратора в момент t_2 .

Таким образом, единственный операционный усилитель 414 используется для выполнения функций ветви 450 отрицательной обратной связи и каскада 410 интегратора.

Спаривание емкостей C_i соразмерно более трудно получить, поскольку установочная область электронных компонентов ограничена (в этом случае шаг повторения пикселей). Следовательно, снижение требования точности преобразователя посредством коэффициента усиления 2^B соразмерно уменьшает это установочное ограничение. Определение размеров преобразователя следует из компромисса между числом битов B , определяющих усиление, и областью, занятой емкостями C_i . Равновесие, существующее между потреблением аналого-цифрового преобразователя 451 и полосы пропускания усилителя 414, которая является функцией применяемого усиления G , также принимается во внимание.

Вторая фаза интегрирования имеет наклон 303, для которого угловой коэффициент ниже углового коэффициента для первой фазы 302 интегрирования. Фактически аналоговый сигнал, переданный схемой с отрицательной обратной связью,

усиливается с коэффициентом 2^B , тогда как ток разряда конденсатора С каскада 410 интегратора имеет значение $I/2^B$, то есть ток разряда I первого интегрирования 302 делится на 2^B .

5 Относительно аналого-цифрового преобразователя 451, точность, требуемая каскадом 420 компаратора, может быть снижена на коэффициент усиления 2^B , который усиливает наклон 303 второй фазы интегрирования. В противоположность этому, в устройствах преобразования предшествующего уровня техники второй наклон 103 намного меньше и требует более точной оцифровки.

10 Для обеих фаз полезно выполнить коррекцию смещения напряжения отключением счетчика 442 на один полупериод тактового генератора после начала интегрирования. Это смещение в течение отключения счетчика 442 затем компенсируется в течение суммирования последнего старшего бита $V+1$ с первым младшим битом M . Эта
15 коррекция на один разряд смещения напряжения поэтому состоит в систематическом добавлении численного смещения в течение первого интегрирования. Фактически смещение создается задержкой полупериода, выполняемой в течение отключения счетчика 442. Этот принцип известен специалистам в данной области техники, в частности, для преобразователей типа "флеш-магистрала".

20 В конце второй фазы интегрирования каскад 420 компаратора командует сохранить второе числовое значение M (кодированное на M битов) в устройстве 443 памяти, соответствующее младшим битам, то есть остаточной части проинтегрированного напряжения. Средство 460 затем выполняет (двоичное)
25 добавление числовых значений M и $V+1$, исходящих из двух фаз интегрирования, тем самым выполняя коррекцию смещения напряжения, притом что значение $V+1$ сохраняется в устройстве 441 памяти. Получающееся число $N=V+M$, кодирующее эту сумму, содержит число битов N , подходящее для кодирования максимального интегрируемого напряжения V_E .

30 Счетчик 442, таким образом, предназначен для определения количества M младших битов, которые более многочисленны, чем старшие биты V (более длительное интегрирование), которые суммируются уравнением $M>V+1$. Такой счетчик 442 подходит, таким образом, для определения количества V старших битов первой фазы
35 интегрирования и затем, после его реинициализации (нулевой сброс), M младших битов в течение второй фазы интегрирования.

Таким образом, структура каскада 420 компаратора с единственным
40 операционным компаратором-усилителем 421 позволяет сохранить при производстве стоимость, потребление энергии и пространство, необходимое для установки аналого-цифрового устройства преобразования.

Кроме того, использование единственного операционного усилителя 421
45 обеспечивает другое преимущество, по сравнению с детекторами предшествующего уровня техники. Фактически оказывается возможным осуществить функцию сравнения, отменяя смещение напряжения или дифференциальную ошибку напряжения, характерную при использовании операционного усилителя.

Фактически на практике известно, что выход компаратора напряжения -
50 операционного усилителя - переключается, когда различие напряжения между двумя входами соответствует определенному смещению напряжения. В идеальном случае это смещение напряжения равно нулю. Практически, по технологическим причинам, затруднительно управлять этим смещением напряжения, которое соответственно не является нулем.

В случае преобразователя предшествующего уровня техники дифференциальная

ошибка представляет собой разность между смещениями напряжения двух операционных усилителей 221 и 223. Это необходимо приводит к дорогостоящей системе исключения смещения, такой, чтобы компаратор второго наклона не отключился до отключения компаратора первого наклона. В противоположность этому, в случае преобразователя по изобретению, смещение напряжения одинаково для двух фаз интегрирования, поскольку используется один и тот же операционный усилитель 421, который измеряет разность. Следовательно, смещение напряжения в течение второй фазы интегрирования компенсирует таковое для первой фазы интегрирования, и дифференциальная ошибка исключается. Преобразователь по изобретению, таким образом, более точен, чем преобразователи предшествующего уровня техники.

Возможны другие варианты реализации способа или устройства по изобретению, без выхода за пределы применения упомянутого изобретения. В частности, принцип преобразования по изобретению может быть расширен без больших проблем на преобразователи с множественными линейно изменяющимися сигналами и множественными типами наклона.

Это изобретение находит применения, в частности, для матричных детекторов, которые включают в себя одномерные детекторы ("полосы"), независимо от падающего электромагнитного излучения и типа используемых детекторов. Еще более определенно это изобретение находит применение в матричных детекторах, которые являются двумерными детекторами инфракрасного излучения.

Формула изобретения

1. Способ для оцифровки аналоговой величины (V_E), произведенной детектором электромагнитного излучения, в частности, инфракрасного излучения, причем упомянутый детектор содержит матрицу смежно-расположенных элементарных датчиков, взаимодействие которых с упомянутым излучением образует упомянутую аналоговую величину (V_E), причем способ, содержащий для каждой строки или для каждого столбца упомянутой матрицы этапы, состоящие:

в выполнении первой фазы (302) интегрирования упомянутой аналоговой величины по первому временному интервалу с использованием каскада (410) интегратора;

в задании прерывания упомянутой первой фазы (302) интегрирования посредством каскада (420) компаратора, у которого один вход связан с выходом упомянутого каскада (410) интегратора, и другой вход - с опорной схемой, подающей опорное значение (V_{ref});

в преобразовании аналоговой величины, тем самым интегрировании (V_S) до первого числового значения (B) посредством двоичного счетчика (442) и элемента (441) памяти, соединенного с выходом упомянутого каскада (420) компаратора;

в сохранении упомянутого первого числового значения (B) в форме первого двоичного числа, отображающего старшие биты;

отличающийся тем, что дополнительно содержит этапы, для каждой строки или для каждого столбца упомянутой матрицы, состоящие:

в преобразовании упомянутого первого числового значения (B), полученного таким образом, в аналоговый сигнал (V_{DAC}), подобный оцифровываемой аналоговой величине (V_E), посредством аналого-цифрового преобразователя (451);

в вычитании упомянутого аналогового сигнала (V_{DAC}) из упомянутой оцифровываемой аналоговой величины (V_E);

в усилении сигнала ($V_E - V_{DAC}$), получающегося из упомянутого вычитания с коэффициентом усиления, отображающим упомянутое первое числовое значение (B);

в выполнении второй фазы (303) интегрирования, с использованием упомянутого каскада (410) интегратора для производства второго числового значения (M), пропорционального аналоговому сигналу, тем самым усиленному как $2^B \cdot (V_E - V_{DAC})$, и формировании второго двоичного числа, отображающего младшие биты;

в добавлении упомянутого первого (B) и второго (M) числовых значений для формирования числа (N), отображающего упомянутую интегрируемую аналоговую величину (V_E).

2. Способ по п.1, в котором упомянутый коэффициент усиления (2^B) имеет значение два, возведенное в степень упомянутого первого числового значения.

3. Способ по п.2, в котором упомянутое первое числовое значение (B) увеличивают на единицу перед упомянутым этапом преобразования, для коррекции смещения напряжения, даваемого каскадом (420) компаратора.

4. Способ по любому из предыдущих пунктов, причем каскад (410) интегратора содержит конденсатор (C), и упомянутый способ дополнительно содержит этапы, состоящие:

в зарядке упомянутого конденсатора (C) преобразуемой аналоговой величиной;

в разряде упомянутого конденсатора (C) при большом постоянном токе (I) в течение первой фазы (302) интегрирования;

в перезарядке упомянутого конденсатора (C) напряжением ($V_E - V_{DAC}$), зависящем от разности между интегрируемой аналоговой величиной (V_E) и результатом первой фазы преобразования;

в разряде упомянутого конденсатора (C) при малом постоянном токе ($I/2^B$) в течение второй фазы (303) интегрирования.

5. Способ по пп.1-3, в котором опорное значение (V_{ref}) определено как функция диапазона чувствительности детектора.

6. Устройство для оцифровки аналоговой величины (V_E), произведенной детектором электромагнитного излучения, в частности инфракрасного излучения, причем упомянутый детектор содержит матрицу смежно-расположенных элементарных датчиков, взаимодействие которых с упомянутым излучением создает упомянутую аналоговую величину, причем упомянутое устройство содержит способ, содержащий этапы, состоящие для каждой строки или для каждого столбца упомянутой матрицы из:

каскада (410) интегратора, содержащего операционный усилитель (414), по меньшей мере, один конденсатор (C) и электрически управляемое устройство (411) переключения, включенное параллельно между выходом и реверсивным входом (-) упомянутого операционного усилителя (414), причем упомянутый каскад (410) интегратора готов для интегрирования упомянутой аналоговой величины (V_E), когда упомянутое устройство (411) переключения разомкнуто;

каскада (420) компаратора, содержащего единственный операционный усилитель (421), реверсивный вход (-) которого соединен с выходом упомянутого каскада интегратора, и другой вход соединен с опорной схемой, подающей опорное значение (V_{ref});

двоичного счетчика (442), соединенного с двумя элементами (441, 443) памяти, управляемыми выходным сигналом упомянутого каскада (420) компаратора, и пригодного для определения первого числового значения (B), пропорционального

упомянутой интегрированной аналоговой величине (V_S);

средства для сохранения упомянутого первого числового значения (B);

схемы (450) с отрицательной обратной связью, вход которой соединен с выходом упомянутого элемента (441) памяти, содержащей:

преобразователь (451), пригодный для преобразования упомянутого первого числового значения (B) в аналоговый сигнал (V_{DAC}), подобный упомянутой аналоговой величине (V_E),

средство (452) для вычитания упомянутого аналогового сигнала (v_{dac}) из упомянутой аналоговой величины (V_E),

и средство (453) для усиления сигнала ($V_E - V_{DAC}$), образованного упомянутым вычитанием, с коэффициентом усиления (2^B), зависящим от числа B битов упомянутого первого числового значения,

выхода упомянутой схемы (450) с отрицательной обратной связью, соединенного со входом (415) упомянутого каскада (410) интегратора так, что последний производит второе числовое значение (M), пропорциональное, таким образом, усиленному аналоговому сигналу, ($2^B [V_E - V_{DAC}]$);

средства (460) для добавления упомянутого первого (B) и второго (M) числовых значений для формирования числа (N), отображающего упомянутую интегрируемую аналоговую величину.

7. Устройство по п.6, в котором двоичный счетчик (442) смещен и является общим для множества аналого-цифровых преобразователей, помещенных на каждом столбце.

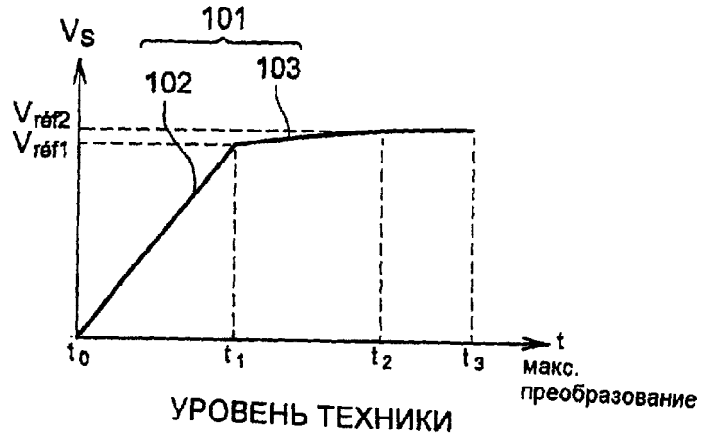
8. Устройство по любому из пп.6 и 7, в котором средство хранения содержит две блокирующиеся схемы памяти (441, 443), соединенные с выходом двоичного счетчика (442).

9. Устройство по одному из пп.6 и 7, характеризующееся тем, что упомянутая схема (450) с отрицательной обратной связью содержит декодирующую систему, пригодную для выполнения функции аналого-цифрового преобразования, и множество запоминающих устройств, смонтированных параллельно и индивидуально переключаемых с использованием переключающих устройств.

10. Детектор электромагнитного излучения, в частности инфракрасного, содержащий матрицу смежно-расположенных элементарных датчиков, отличающийся тем, что он содержит устройство по одному из пп.6-9.

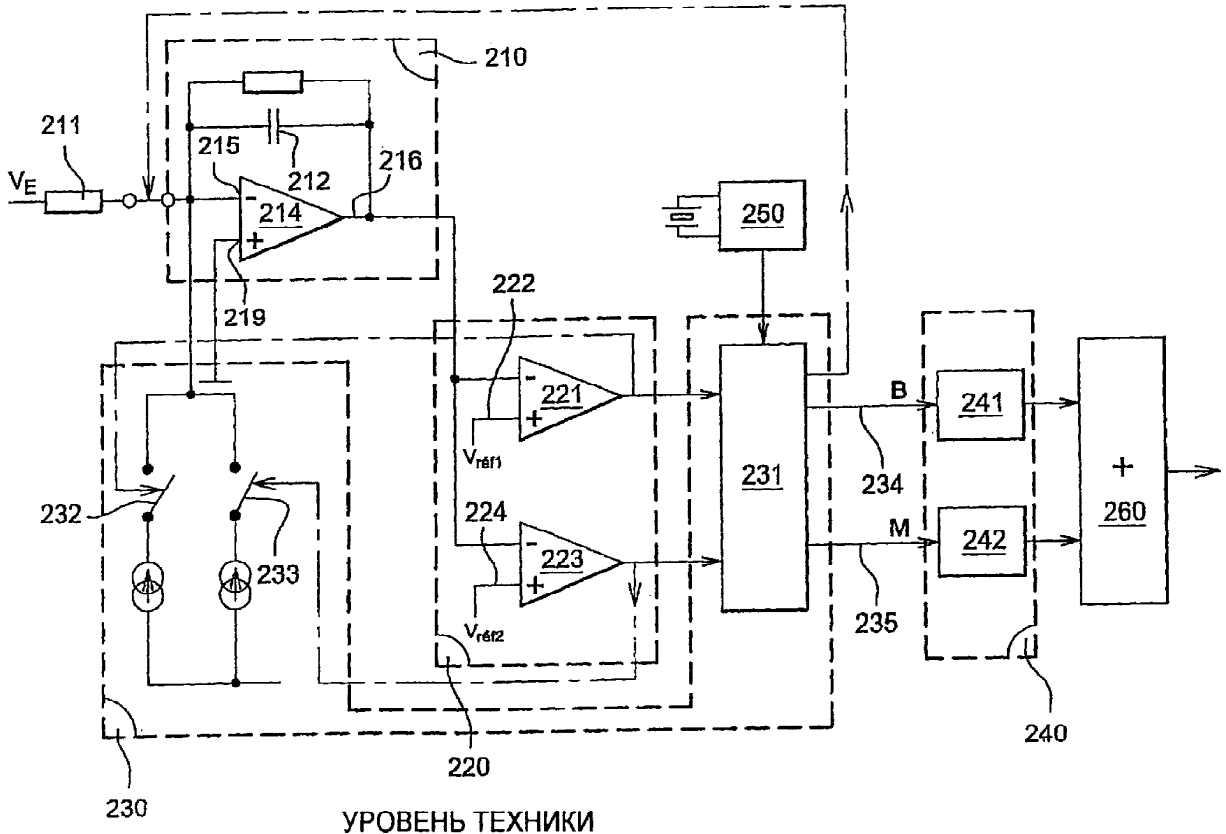
11. Детектор электромагнитного излучения по п.10, в котором матрица имеет единственную строку или единственный столбец.

12. Детектор электромагнитного излучения по любому из пп.10 и 11, в котором элементарные датчики являются болометрами.



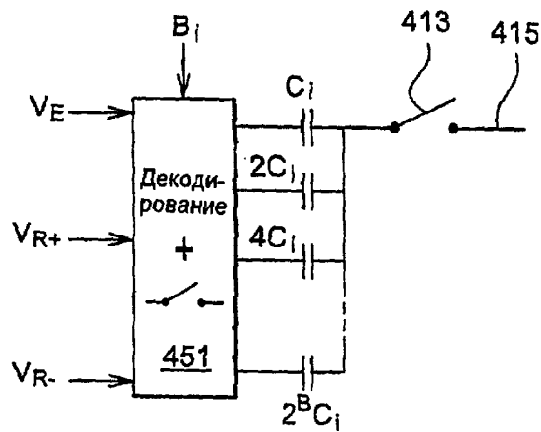
УРОВЕНЬ ТЕХНИКИ

ФИГ.1



УРОВЕНЬ ТЕХНИКИ

ФИГ.2



ФИГ.5